

SEMICONDUCTOR ACCELEROMETER AND MANUFACTURE THEREOF

Publication number: JP6196721

Publication date: 1994-07-15

Inventor: TAKEUCHI YUKIHIRO; YAMAMOTO TOSHIMASA

Applicant: NIPPON DENSO CO

Classification:

- international: G01P15/08; H01L29/84; G01P15/08; H01L29/66;
(IPC1-7): H01L29/84; G01P15/08

- european:

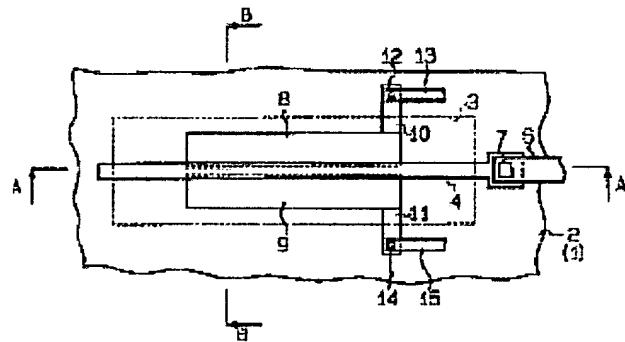
Application number: JP19920347244 19921225

Priority number(s): JP19920347244 19921225

[Report a data error here](#)

Abstract of JP6196721

PURPOSE: To provide a novel transistor type semiconductor accelerometer which can restrain aging of leakage current and output. CONSTITUTION: An insulating layer is formed on a main surface of p-type silicon substrate through an insulating film and a beam-shaped movable electrode is formed on the insulating layer. Then, impurities are diffused into the p-type silicon substrate in a self-alignment manner for the movable electrode and fixed electrodes are formed on both sides of the movable electrode. The insulating layer under the movable electrode is removed by etching. Accordingly, the title sensor is provided with the p-type silicon substrate 1, the movable electrode 4 of beam structure which is arranged above the p-type silicon substrate 1 in a predetermined interval to the substrate 1, fixed electrodes 8 and 9 consisting of impurity diffusion layer formed in a self-alignment manner for the movable electrode 4 on both sides of the movable electrode 4 in the p-type silicon substrate 1, and the insulating film formed on the p-type silicon substrate 1 between fixed electrodes 8 and 9. Accelerated speed can be detected by the change in electric current between the fixed electrodes 8 and 9 produced by displacement of the movable electrode 4 occurring subsequently on action of accelerated speed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-196721

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 29/84
G 01 P 15/08

A 9278-4M

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-347244

(22)出願日 平成4年(1992)12月25日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 竹内 幸裕

愛知県刈谷市昭和町1丁目1番地 日本電
装 株式会社内

(72)発明者 山本 敏雅

愛知県刈谷市昭和町1丁目1番地 日本電
装 株式会社内

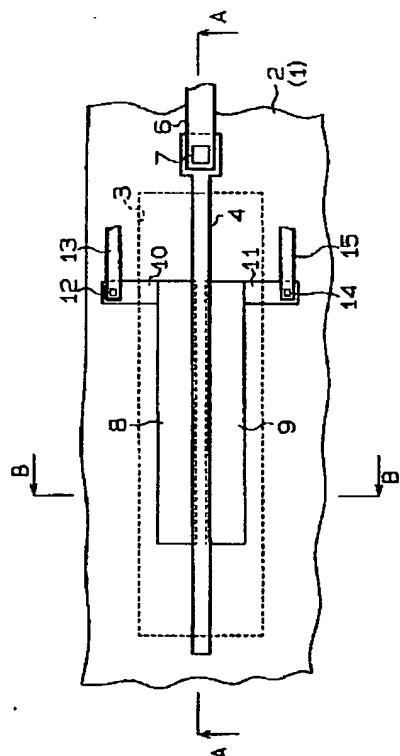
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 半導体加速度センサ及びその製造方法

(57)【要約】

【目的】 リーク電流や出力の経時変化を抑制し得るよ
うにした新規なトランジスタ型半導体加速度センサを提
供することにある。

【構成】 P型シリコン基板の主表面に絶縁膜を介して
絶縁層を形成し、絶縁層上に梁形状の可動電極を形成す
る。そして、可動電極に対し自己整合的にP型シリコン
基板に不純物を拡散して可動電極の両側において固定電
極を形成し、可動電極の下の絶縁層をエッチング除去す
る。よって、P型シリコン基板1と、P型シリコン基板
1の上方に所定の間隔を隔てて配置された梁構造の可動
電極4と、P型シリコン基板1における可動電極4の両
側に可動電極4に対し自己整合的に形成された不純物拡
散層よりなる固定電極8, 9と、固定電極8, 9間のP
型シリコン基板1上に形成された絶縁膜とを備え、加
速度の作用に伴う可動電極4の変位によって生じる固定電
極8, 9間の電流の変化で加速度が検出される。



【特許請求の範囲】

【請求項1】 半導体基板と、
前記半導体基板の上方に所定の間隔を隔てて配置された
梁構造の可動電極と、
前記半導体基板における前記可動電極の両側に可動電極
に対し自己整合的に形成された不純物拡散層よりなる固定
電極と、
前記固定電極間の基板上に形成された絶縁膜とを備え、
加速度の作用に伴う前記可動電極の変位によって生じる
前記固定電極間の電流の変化で加速度を検出するよう
したことを特徴とする半導体加速度センサ。

【請求項2】 半導体基板の主表面に絶縁膜を介して犠
牲層を形成する第1工程と、
前記犠牲層上に梁形状の可動電極を形成する第2工程
と、
前記可動電極に対し自己整合的に半導体基板に不純物を
拡散して可動電極の両側において固定電極を形成する第
3工程と、
前記可動電極の変位に伴う前記固定電極間の電流の変化
を検出できるように、前記可動電極の下の前記犠牲層を
エッティング除去する第4工程とを備えたことを特徴とする
半導体加速度センサの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体加速度センサ
に係り、特に、自動車の車体制御、エンジン制御、エア
バック制御等に好適な半導体加速度センサ及びその製造
方法に関するものである。

【0002】

【従来の技術】 自動車用の加速度センサに要求される性
能としては、比較的低レベルの加速度（0～±1G）を
低レベルの周波数（0～100Hz）で精度よく検出する
ことが挙げられる。尚、ここで、1Gは加速度の単位
で、9.8m/s²を表す。

【0003】 ところで、このような加速度センサとしては、
従来から圧電効果を利用した圧電式、差動トランジ
ストを利用した磁気式、あるいは半導体式でシリコンの微細
加工技術を駆使した半導体歪ゲージ式や静電容量式等が
広く知られている。この中でも低加速度レベル、低周波
数レベルを精度良く検出でき、安価で大量生産にむく方
式としては半導体式が最も有望と考えられている。

【0004】 又、静電容量式は歪ゲージ式に比較して、
検出感度が大きいという特徴を有している。このような
静電容量型加速度センサの従来例として特開平2-13
4570号公報に開示されているものを図15に示す。
図15において静電容量型加速度センサの検出部は3枚
のシリコン基板120, 121, 122を絶縁膜である
熱酸化膜123を介して直接張り合わせ、接合したもの
である。シリコン基板120には、エッティング加工によ
り、接合前にシリコンビーム（梁状部）124と可動電

10

20

30

40

50

極125が予め形成されている。さらに、シリコン基板
121, 122にも接合前に予めポリシリコンによる固定
電極126, 127が形成されている。重り機能を有
する可動電極125はシリコンビーム124によって支
持されており、これに作用する因の上下方向の加速度の
大きさに応じて、可動電極125と固定電極126, 1
27との間の空隙の寸法が変化する。即ち、検出部に作
用する加速度に応じて空隙部の静電容量が変化し、この
変化をボンディングパッド128を介して、外部の電子
回路に取り出すことで加速度を検出しようとするもの
である。

【0005】 しかしながら、このような構成の静電容量
型加速度センサにおいては、シリコン基板自身を100
～200μm程も加工してビームを形成するために生じ
る高度な加工技術が要求されるとともに製造コストも増
大する。つまり、可動電極を形成するシリコン基板1枚
と固定電極を形成するシリコン基板2枚の合計3枚のシリ
コン基板が必要であり、低コスト化が困難なことである。
さらに、熱酸化膜を介してシリコン基板同志を接合
しなければならないため、プロセス上の熱的制約を受け
るだけでなく、可動電極125と固定電極126, 127の位置決
め精度が劣る。さらには、加速度の検出を静
電容量の変化で行うため、静電容量を形成する電極面積
をその測定下限より小さくできず、小型化が望めなかっ
た。

【0006】 そこで、本出願人はこのような点に鑑みて、
先に特願平4-305708号により電界効果型ト
ランジスタを利用することにより、半導体技術を応用し
超小型で安価に製作することを可能にした新規な半導体
加速度センサを提案している。

【0007】 本出願人が先に提案したトランジスタ型加
速度センサは、電界効果型トランジスタのゲート電極を
基板の上方に所定の間隔を隔てて配置した構造とし、加
速度によりゲート電極が変位したことでゲート電極とチ
ャネルに印加される電界強度が変化し、又はゲート電極
の変位したことでゲート幅が変化し、その結果、加速度
をトランジスタのドレイン電流の変化で検知しようとした
ものである。

【0008】

【発明が解決しようとする課題】 ところが、その後、検
討した結果、リーク電流が大きい、出力の経時変化が比
較的大きい等の問題点が見い出された。

【0009】 即ち、本出願人が先に提案したトランジ
スト型半導体加速度センサにおいては、そのプロセス上半
導体基板とゲート電極間の絶縁膜を犠牲層としてエアギ
ヤップを形成している。従って、チャネルとなる基板上
には通常のMOSトランジスタのようなゲート酸化膜が
なくチャネルとなる基板表面が露出した状態となっ
ている。このため、表面の物性が不安定であり、表面リーク
電流、出力の経時変化が起こる問題点があった。

【0010】そこで、この発明の目的は、本出願人が先に提案したトランジスタ型半導体加速度センサに改良を加えることにより、リーク電流や出力の経時変化を抑制し得るようにした新規なトランジスタ型半導体加速度センサを提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体加速度センサは、半導体基板と、前記半導体基板の上方に所定の間隔を隔てて配置された梁構造の可動電極と、前記半導体基板における前記可動電極の両側に可動電極に対し自己整合的に形成された不純物拡散層よりなる固定電極と、前記固定電極間の基板上に形成された絶縁膜とを備え、加速度の作用に伴う前記可動電極の変位によって生じる前記固定電極間の電流の変化で加速度を検出するようにした半導体加速度センサをその要旨とする。

【0012】本発明の半導体加速度センサの製造方法は、半導体基板の主表面に絶縁膜を介して犠牲層を形成する第1工程と、前記犠牲層上に梁形状の可動電極を形成する第2工程と、前記可動電極に対し自己整合的に半導体基板に不純物を拡散して可動電極の両側において固定電極を形成する第3工程と、前記可動電極の変位に伴う前記固定電極間の電流の変化を検出できるように、前記可動電極の下の前記犠牲層をエッティング除去する第4工程とを備えたものである。

【0013】

【作用】本発明の半導体加速度センサにおいて、加速度が作用すると、可動電極が変位し、固定電極間の電流が変化する。この固定電極間の電流の増減により加速度が検出される。又、半導体基板のチャネル上に形成された絶縁膜により基板が保護され、表面のリーク電流が低減され、かつ、自然酸化のような経時変化を受けない。

【0014】本発明の半導体加速度センサの製造方法においては、第1工程により半導体基板の主表面に絶縁膜を介して犠牲層が形成され、第2工程により犠牲層上に梁形状の可動電極が形成される。そして、第3工程により可動電極に対し自己整合的に半導体基板に不純物が拡散されて可動電極の両側において固定電極が形成される。さらに、第4工程により可動電極の下の犠牲層がエッティング除去され、可動電極の変位に伴う固定電極間の電流の変化を検出できるようになる。その結果、前述の半導体加速度センサが製造される。

【0015】

【実施例】(第1実施例)以下、この発明を具体化した一実施例を図面に従って説明する。

【0016】図1は、本実施例のトランジスタ型の半導体加速度センサの平面図を示す。又、図2には図1のA-A断面を示し、図3には図1のB-B断面を示す。図2、3に示すように、P型シリコン基板1の主表面上には絶縁膜44が全面に形成され、その絶縁膜44の上には絶縁膜2が形成されている。絶縁膜44は、トランジ

スタでいうチャネル表面を保護するためのもの(ゲート絶縁膜)である。絶縁膜44及び絶縁膜2は、SiO₂, Si₃N₄等よりなる。又、P型シリコン基板1上には、絶縁膜2の無い長方形状の領域、即ち、空隙部3が形成されている(図1参照)。絶縁膜2の上には、空隙部3を架設するように両持ち構造の可動電極4が配置されている。この可動電極4は棒状のポリシリコンよりなる。このように、絶縁膜2によりP型シリコン基板1と可動電極4とが絶縁されている。

【0017】尚、可動電極4の下部における絶縁膜2の空隙部3は、犠牲層としてエッティングされることにより形成されるものである。この犠牲層エッティングの際には、可動電極4と基板表面を保護する絶縁膜44がエッティングされず、犠牲層である絶縁層2がエッティングされるエッティング液が使用される。つまり、絶縁膜2としてSi₃N₄膜を用い、絶縁膜44としてSiO₂膜を用い、熱リン酸をエッティング液として使用している。

【0018】又、絶縁膜2上には層間絶縁膜5が配置され、その上にコンタクトホール7を介して可動電極4と電気的接続するためのアルミ配線6が配置されている。図3において、P型シリコン基板1上には不純物拡散層からなる固定電極8、9が形成され、この固定電極8、9はP型シリコン基板1にイオン注入等によりN型不純物を導入することによって形成されたものである。

【0019】尚、可動電極(両持ち梁)4はポリシリコンの他にも、タンゲステン等の耐熱金属を用いてよい。又、図1に示すように、P型シリコン基板1には不純物拡散層からなる配線10、11が形成され、配線10、11はP型シリコン基板1にイオン注入等によりN型不純物を導入することによって形成されたものである。そして、固定電極8と配線10とは電気的に接続されるとともに固定電極9と配線11とは電気的に接続されている。

【0020】さらに、配線10はコンタクトホール12を介してアルミ配線13と電気的に接続されている。又、配線11はコンタクトホール14を介してアルミ配線15と電気的に接続されている。そして、アルミ配線13、15及び6は外部の電子回路と接続されている。

【0021】又、図3に示すように、P型シリコン基板1における固定電極8、9間には反転層16が形成され、同反転層16は可動電極(両持ち梁)4により生じたものである。

【0022】尚、絶縁膜2は必ずしも絶縁膜である必要はなく、可動電極4と絶縁膜44との選択エッティングが可能な材料であればよい。次に、このように構成した半導体加速度センサの製造工程を図4～図13を用いて説明する。

【0023】尚、センサ処理回路にMOSFETを用いているものとする。図4に示すように、P型シリコン基板17を用意し、そのシリコン基板17の主表面全面

に、後に形成されるセンサの基板表面保護及びトランジスタのゲート酸化膜に相当するゲート絶縁膜45を形成する。その後、図5に示すように、P型シリコン基板17に、フォトリソの工程を経て、イオン注入等によりセンサの固定電極やトランジスタのソース・ドレインの配線部分となるN型拡散層18, 19, 20, 21を形成する。

【0024】そして、図6に示すように、その一部が犠牲層となる絶縁膜22をセンサ作製部に形成する。尚、このとき、基板全体に絶縁膜22を成膜し後からトランジスタ作製部上の絶縁膜を除去してもよい。

【0025】さらに、図7に示すように、ポリシリコンを成膜し、フォトリソ工程を経てドライエッチ等でセンサの可動電極24及びトランジスタのゲート電極25をパターニングする。

【0026】引き続き、図8に示すように、N型拡散層からなるセンサの固定電極を形成するために、フォトリソの工程を経て絶縁膜22に可動電極24に対して自己整合的に開口部26, 27を形成する。又、トランジスタのソース・ドレインを形成するために、フォトリソ工程を経てレジスト28によりゲート電極25に対して開口部29, 30を自己整合的に形成する。

【0027】さらに、図9に示すように、絶縁膜22の開口部26, 27、レジスト28の開口部29, 30から可動電極24、ゲート電極25に対して自己整合的にイオン注入等によって不純物を導入して、N型拡散層からなるセンサの固定電極31, 32、トランジスタのソース・ドレイン33, 34を形成する。

【0028】次に、図10に示すように、可動電極24、ゲート電極25とアルミ配線を電気的に絶縁するための層間絶縁膜35を成膜する。そして、図11に示すように、層間絶縁膜35に配線用拡散層18, 19, 20, 21とアルミ配線を電気的に接続するためのコンタクトホール36, 37, 38, 39をフォトリソ工程を経て形成する。

【0029】さらに、図12に示すように、電極材料であるアルミニウムを成膜して、フォトリソ工程を経てアルミ配線40, 41, 42, 43等を形成する。そして、図13に示すように、層間絶縁膜35の一部と絶縁膜22の一部である犠牲層をエッティングする。

【0030】このようにして、トランジスタ型半導体加速度センサの製作工程が終了する。次に、加速度センサの作動を図3を用いて説明する。可動電極4とシリコン基板1に電圧をかけると、反転層16が形成され、固定電極8, 9間に電流が流れる。本加速度センサが加速度を受けて、図中に示すZ方向(基板に垂直方向)に可動電極4が変位した場合には電界強度の変化によって反転層16のキャリア濃度が増大し電流が増大する。このように本加速度センサは電流量の増減で加速度を検出することができる。

【0031】又、シリコン基板1のチャネル上にゲート絶縁膜44を形成し基板1を保護しているため、表面のリーク電流を低減でき、かつ、自然酸化のような経時変化を受けない。つまり、チャネルとなる基板上には通常のMOSトランジスタのようなゲート酸化膜が存在するので、表面の物性が安定となり、表面リーク電流、出力の経時変化が回避される。

【0032】このように本実施例では、P型シリコン基板17(半導体基板)の主表面に絶縁膜45を介して絶縁膜22(犠牲層)を形成し(第1工程)、絶縁膜22上に梁形状の可動電極24を形成する(第2工程)。そして、可動電極24に対し自己整合的にP型シリコン基板17に不純物を拡散して可動電極24の両側において固定電極31, 32を形成し(第3工程)、可動電極24の下の絶縁膜22(犠牲層)をエッティング除去した(第4工程)。その結果、図1~3に示すように、P型シリコン基板1(半導体基板)と、P型シリコン基板1の上方に所定の間隔を隔てて配置された梁構造の可動電極4と、P型シリコン基板1における可動電極4の両側に可動電極4に対し自己整合的に形成された不純物拡散層よりなる固定電極8, 9と、固定電極8, 9間のP型シリコン基板1上に形成された絶縁膜44とを備え、加速度の作用に伴う可動電極4の変位によって生じる固定電極8, 9間の電流の変化で加速度を検出するようにした。

【0033】このように、加速度が作用すると、可動電極4が変位し、固定電極8, 9間の電流が変化する。この固定電極8, 9間の電流の増減により加速度が検出される。又、P型シリコン基板1のチャネル上に形成された絶縁膜44により基板が保護され、表面のリーク電流が低減され、かつ、自然酸化のような経時変化を受けない。よって、リーク電流や出力の経時変化を抑制し得るようにした新規なトランジスタ型半導体加速度センサとすることができます。

(第2実施例) 次に、第2実施例を第1実施例との相違点を中心に説明する。

【0034】図14に本実施例の半導体加速度センサの断面を示す。図3に示す第1実施例では、チャネルとなる基板部分を保護する絶縁膜が1層であったが、図14に示す第2実施例では2層構造となっている。つまり、チャネルとなる基板表面を保護する絶縁膜44と、絶縁膜2の一部を犠牲層としてエッティングするときに絶縁膜44をエッティング液から保護する絶縁膜46とからなっている。絶縁膜46を設けることにより、絶縁膜44及び絶縁膜2としての材料の選択範囲が広げができる。例えば、第1実施例では絶縁膜44を熱酸化によって形成したSiO₂とした場合、絶縁膜2にはSiO₂は使用できないが、本実施例で絶縁膜46をSi₃N₄とすれば絶縁膜2をSiO₂としてもフッ酸系エッティング液を用いると絶縁膜2のみを犠牲層エッティングするこ

とができる。この場合、 Si_3N_4 である絶縁膜 4 6 がエッティングストッパーとなり SiO_2 である絶縁膜 4 4 はエッティングされない。尚、絶縁膜 4 6 は絶縁膜 2 の犠牲層エッティング終了後に空隙に面している領域を取り除いてよい。

【0035】尚、この発明は上記各実施例に限定されるものではなく、例えば、上記各実施例ではセンサはP型基板について説明してきたが、N型基板では拡散層の不純物をP型にすればよい。

【0036】又、センサの可動電極を両持ち梁で示したが、片持ち梁でもよい。

【0037】

【発明の効果】以上詳述したようにこの発明によれば、リーク電流や出力の経時変化を抑制し得るようにした新規なトランジスタ型半導体加速度センサを提供することができる優れた効果がある。

【図面の簡単な説明】

【図1】第1実施例の半導体加速度センサの平面図である。

【図2】図1のA-A断面図である。

【図3】図1のB-B断面図である。

【図4】半導体加速度センサの製造工程を示す断面図である。

【図5】半導体加速度センサの製造工程を示す断面図である。

【図6】半導体加速度センサの製造工程を示す断面図である。

【図7】半導体加速度センサの製造工程を示す断面図で

ある。

【図8】半導体加速度センサの製造工程を示す断面図である。

【図9】半導体加速度センサの製造工程を示す断面図である。

【図10】半導体加速度センサの製造工程を示す断面図である。

【図11】半導体加速度センサの製造工程を示す断面図である。

【図12】半導体加速度センサの製造工程を示す断面図である。

【図13】半導体加速度センサの製造工程を示す断面図である。

【図14】第2実施例の半導体加速度センサの断面図である。

【図15】従来技術による半導体加速度センサを示す断面図である。

【符号の説明】

1 半導体基板としてのP型シリコン基板

4 可動電極

8, 9 固定電極

17 半導体基板としてのP型シリコン基板

22 犠牲層としての絶縁膜

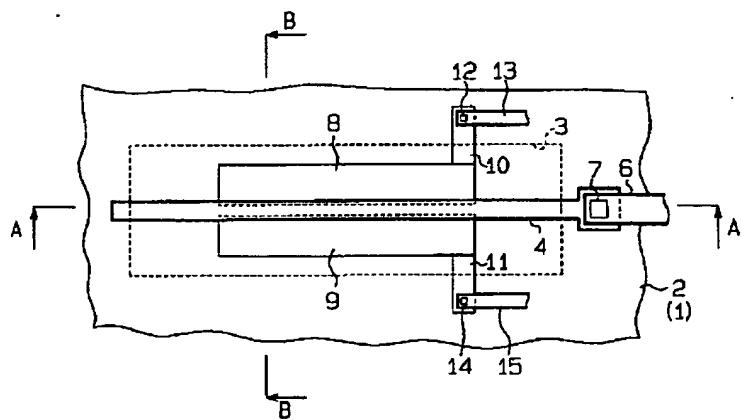
24 可動電極

31, 32 固定電極

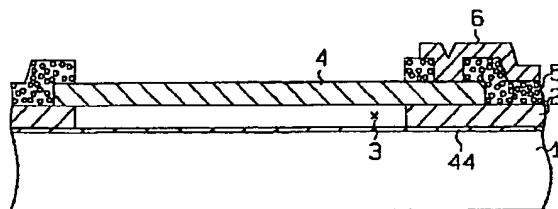
44 絶縁膜

45 絶縁膜

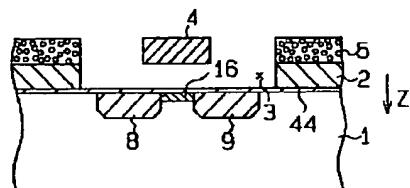
【図1】



【図2】



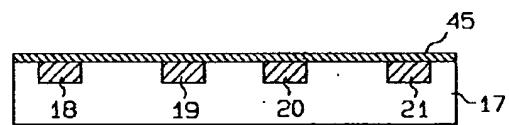
【図3】



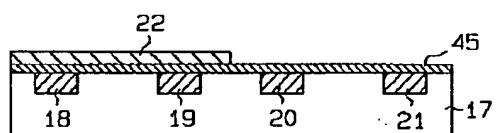
【図4】



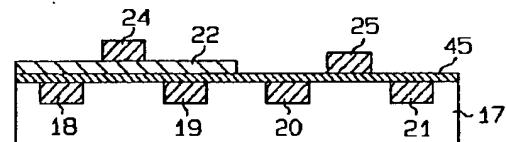
【図5】



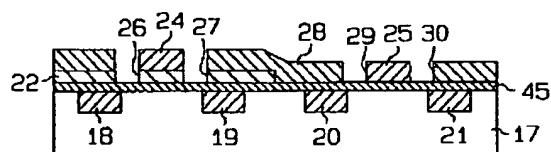
【図6】



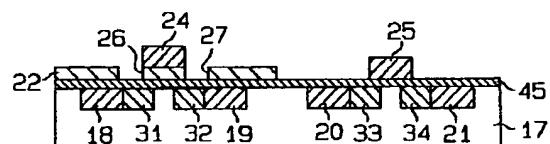
【図7】



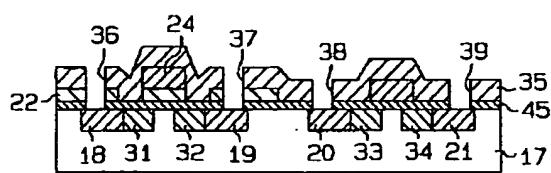
【図8】



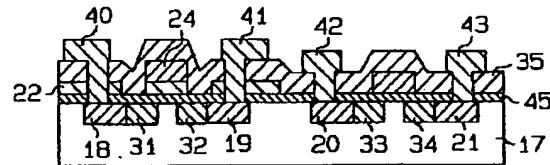
【図9】



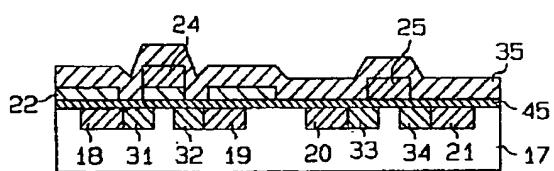
【図11】



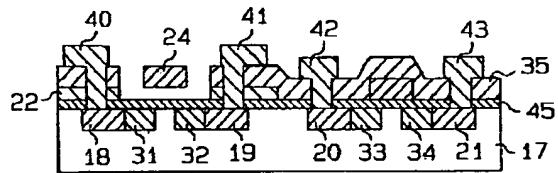
【図12】



【図10】



【図13】



【図15】

